

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-176925

(13)公開日 平成11年(1999)7月2日

(51)Int.CL<sup>6</sup>

H 01 L 21/76  
21/762  
27/12

識別記号

F 1

H 01 L 21/76  
27/12  
21/76

M  
F  
D

(21)出願番号 特願平9-335704

審査請求 未請求 請求項の数4 (0頁) (全5頁)

(22)出願日 平成9年(1997)12月5日

(71)出願人 594021175

旭化成マイクロシステム株式会社  
東京都渋谷区代々木1丁目24番10号

(72)発明者 河野 通裕

宮崎県延岡市旭町6丁目4100番地 旭化成  
マイクロシステム株式会社内

(74)代理人 弁理士 谷 義一

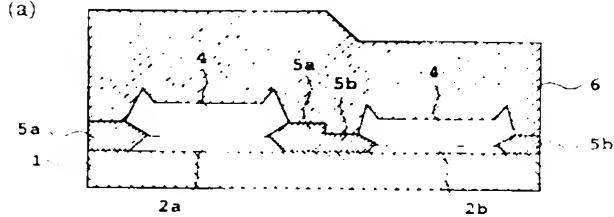
(54)【発明の名称】 半導体装置の製造方法

(55)【要約】

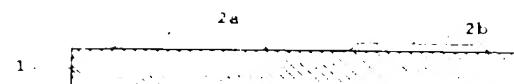
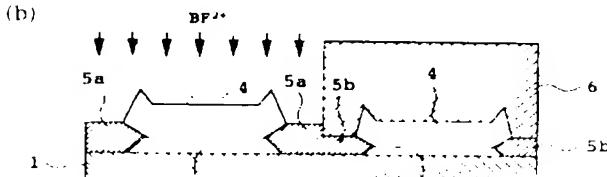
【課題】 フィールド酸化膜と略同一材料からなる下地層のえぐれをなくし、歩留まりを向上させ、信頼性の高い半導体装置を製造する。

【解決手段】 一回路素子分離で用いる方法であるシリコン酸化膜層(4)、シリコン酸化膜層(5a)、シリコン酸化膜層(5b)に、吸引子(1)を注入して、シリコン酸化膜層(4)、シリコン酸化膜層(5a)、シリコン酸化膜層(5b)を同時に分離形成する。

(a)



(b)



1

### 【特許請求の範囲】

【請求項1】 絶縁層上に、膜厚が異なる回路素子形成層を分離する半導体装置の製造方法

前記絶縁層上に、段差部によって膜厚が異なる複数の領域に区分された凹凸素子形成層を形成する工程と、

前記四路素子形成層、段差部以外の膜厚が異なる各領域に、窒化膜を形成する工程と、

前記空化膜をマスクとして前記投着部を酸化することにより、当該投着部上に素子分離<sup>(4)</sup>をもつて膜厚<sup>(5)</sup>が異なる<sup>(6)</sup>二層の酸化膜を形成する工程と。

前記膜厚の異なる二ユール正磷酸化膜のうち、膜厚が厚い有機ユール正磷酸化膜は特に充満不均一性と

前記イオンが注入されたフィールド酸化膜と注入されていない、フィールド酸化膜と同時にエッチングすることによって、各層の構造を形成する。

(に付り)、前記半導体素子生産工程の段階で、該半導体装置を分離する工程とを具えたことを特徴とする半導体装置の製造方法、

【請求項2】 前記絶縁層をシリコーン酸化膜とし、前記回路素子形成層をシリコーン層とし、前記フィールド酸化膜をフィールドシリコーン酸化膜としたことを特徴とする請求項1記載の半導体構造の製造方法。

【請求項3】 前記注入されるイオンは、フッ化ポロン(BF<sub>2</sub><sup>+</sup>)であることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 SOI構造における絶縁層上のシリコン層の膜厚の異なる領域を分離することを特徴とする請求項1ないし3のいずれかに記載の半導体装置の製造方法

【発明の詳細な説明】  
【0001】  
【発明の属する技術分野】本発明は、絶縁層上に厚さや異なる回路素子形成層を分離する半導体装置の製造方法に係り、特に、フッ化水素酸化膜を用い、SOI（シリコン・オン・イノベーティック）構造の厚さや異なる二層構造を形成する半導体装置の製造方法に関するものである。

【参考文献】  
【従来技術】従来、側面露出型の構造、半導体素子によってて、同一の掩蔽基板上に、各部のノードをシフトさせMOSFETとトランジスタを形成する場合、(ように)厚さの異なる各シリコン領域を分離することが必要な場合がある。

【11-108】ここに、紙本における厚さの問題をもつて、紙層を分離する生産装置、製造方法を一図示す。これは、(1)、(2)、(3)の三段階で、(1)は、紙層を分離する装置、(2)は、紙層を分離する装置、(3)は、紙層を分離する装置である。

卷之三

【例】某人用聚丙烯酰胺化膜层制得的，空隙膜同上，但孔径为 $10^{-6}$ 米。

してレジストをマスクして、所定の領域にパターンをシングする。

【0.0.0.6】次に、図3-(b)の工程では、シリコン酸化膜層4をマスクとして用い、選択的にウエーハ酸化を行ってカウエーハ酸化により、厚さの異なるアーチ形平坦部とノロ形酸化膜層5a, 5bを形成する。

【0-007】次に、図3(c)の工程では、二化水素酸(HF)と水とを1:10に混合したエチング液を用いて、スルガル化膜層を形成する。

シリコン化膜層（シリコーンラミネート）の上に、シリコーン接着剤（シリコーン接着剤）を塗布する。この接着剤を用いて、シリコーン化膜層（シリコーンラミネート）とシリコーン酸化膜層（シリコーンラミネート）との境界部分を露出させる。これにより、分離した回路素子として、膜厚が異なるシリコーン化膜層（シリコーンラミネート）とシリコーン酸化膜層（シリコーンラミネート）を形成する。

〔 1 ) ( ) ( ) - 5 〕

【発明の解決手段】(1)とする課題】しかし、両階素子部分となるシリコン層2の分離のために用いられるフィールドシリコン酸化膜層4a、5bをエッチングする際、そのフィールドシリコン酸化膜層4a、5bと同一材料からなる下地シリコン酸化膜層1までもがエッチングされる場合がある。

【0099】すなわち、シリコン層2の厚さの異なる領域であるシリコン層2a、2bを分離する場合、フィールドシリコン酸化膜層5a、5bの厚さは、酸化するシリコン層2の膜厚に比例した厚さになる。このため、図3(c)のようなウェットエッチング工程において、膜厚の薄い方のフィールドシリコン酸化膜層5aの部分にエッチング時間を合わせてウェットエッチングを行ふと、膜厚の薄い方のフィールドシリコン酸化膜層5aの

下方のシリコン酸化膜層1までもがエッチングされ、それが剥離してしまう。このえぐれはシリコン層2との下面までで、ゲーティングであり、ここをシリコン層2に残すには良好な素子形状城できない。

【C010】そこで、本発明は、目的として、(1)一層の酸化膜と略同一材料からなる下地層と、(2)これを接着する、(3)有機性、導電性半導体装置、製造方法を提供するものである。

[Page 11 of 12]

【課題を解決するための手段】本発明は、絶縁層上に膜厚の異なる回路素子形成層を分離する半導体装置、製造方法であって、前記絶縁層上に、段差部によって膜厚の異なる複数の領域に分離され、回路素子形成層を形成する構造。前記回路素子形成層、段差部以外、膜厚の異なる多箇所、一箇所又は複数箇所に、電極部を形成する構造。

我——一個渺小的生物，一個微不足道的人，竟會有這樣的一個奇遇！

厚の異なる領域を分離する工程とを経ることによって、半導体装置の製造方法を提供する。

【0012】ここで、前記絶縁層をシリコン酸化膜とし、前記回路素子形成層をシリコン層とし、前記シリコン酸化膜をアーチドシリコン酸化膜とすることができる。

【0013】前記よりされオイオイは、アーチドシリコン酸化膜(以下「A」)とすることができる。

【0014】(a)上構造における絶縁層とシリコン層の膜厚の異なる領域を分離することができる。

【0015】

【発明の実施の形態】以上、図面を参照して、本発明の実施の形態を詳細に説明する。

【0016】本例では、(a)上構造におけるシリコン層の膜厚の異なる領域を分離する半導体装置の製造方法について述べる。

【0017】図1-(a)の工程について述べる。まず下地層としてシリコン酸化膜層1上に、膜厚の異なる領域を有する回路素子形成層としてシリコン膜層2を形成する。

【0018】次に、そのシリコン膜層2の膜厚の異なる各領域上に、厚さ2.0nmのシリコン酸化膜層(S1)を、例えば、酸化温度940°C、水素ガス20L/min、酸素ガス10L/minの条件にて形成する。

【0019】次に、そのシリコン酸化膜層3上に、厚さ1.40nmのシリコン酸化膜層(S1-Na)4を積層する。この積層は、上P(減圧)CVD法を行い、例えば、デポジション温度750°C、S1-H<sub>2</sub> 1L/gf<sup>2</sup> 0.8cm<sup>-3</sup>/N<sub>2</sub> 1L/gf<sup>2</sup> 2.08cm<sup>-3</sup>、デポジション時間14.0分の条件にて行う。

【0020】次に、シリコン酸化膜層4に対してレジストをマスクして、所定の形状にハッティングする。これにより、膜厚の異なる各シリコン膜層2と、2以上にハッティングされた各シリコン酸化膜層1を形成する。

【0021】次に、(a)の工程について述べるシリコン酸化膜層4をマスクとして用い、選択的にウエット酸化を行なう。このウエット酸化は、例えば、酸化温度1000°C、水素ガス20L/min、酸素ガス2L/min、酸化時間11.0分の条件下にて行なう。ここでい所说的ウエット酸化とは、水素ガス成分が多分含まれておらず、

この薄いシリコン膜層2と、膜厚の薄いシリコン膜層2ととに分離される。この場合、シリコン膜層2と2以上にシリコン酸化膜層4のエッジ部分に酸素が衝突し酸化が進行するため、バースピークと呼ばれる形状となる。

【0023】以下の工程は、(a)上構造シリコン酸化膜層5上、(a)を除去する工程について説明するものである。

【0024】次に、図2-(a)の工程について述べる。フィールドシリコン酸化膜層5上、(a)を含む全面に渡って、レジストを散布する。その後、一片側の領域をマスク・露光して、フィールドシリコン酸化膜層5を側面レジストを除去する。

【0025】次に、図2-(b)の工程について述べる。フィールドシリコン酸化膜層5を側面レジストをマスクとして、膜厚の厚い方のフィールドシリコン酸化膜層5との隙間に對して、B-F2+のイオンを注入する。この場合、イオン注入装置を用い、例えば、加速エネルギー65keV、ドーズ量アーラン1.0μA/cm<sup>2</sup>の条件にてイオンを注入する。

【0026】次に、図2-(c)の工程について述べる。レジストを除去した後、アニール処理を行う。このアニールは、例えば、温度940°C、窒素ガス1L/min、アニール時間20分の条件にて行なう。

【0027】次に、フィールドシリコン酸化膜層5上、(a)をエッチングする。このエッチングは、例えば、フローティング酸(以下「F」)と水とを1:1に混合したエッチング液を行い、エッチング時間1.1~8分の条件にて行なう。このエッチングによって、シリコン膜層2とシリコン酸化膜層1との境界部分を露出させら。なお、アニール処理を施さずに、エッチングを行う場合もある。

【0028】最後に、各シリコン膜層2と2以上のシリコン酸化膜層4を除去する。この場合、例えば、H<sub>2</sub>O<sub>2</sub>、H<sub>2</sub>O<sub>2</sub>水溶液と水溶液を用いて、温度100°Cで、除去時間10分の条件下にて、シリコン酸化膜層4を除去する。この際、熱い一杯を用いたときに、(a)の膜厚の異なる各シリコン酸化膜層4、(a)を同時に除去することは可能である。

【0029】次に、イオン注入を、フィールドシリコン酸化膜層5上、(a)のエッチングホールとの相関関係について説明する。

【0030】表1は、(a)上構造シリコン酸化膜層5上、(a)のエッチングホールの位置と、(a)の位置。

おおまかに説明すると、(a)の位置は、(a)の位置と膜厚の異なる各シリコン酸化膜層4上、(a)の位置

の位置である。(a)の位置は、(a)の位置

【0031】

イオン注入とSi酸化膜との相関	
イオン注入条件	1:19 HFエッチレート
・イオン注入 (B <sub>D</sub> 24: 7.5 × 10 <sup>14</sup> /cm <sup>2</sup> , 65keV) ・アモニア処理	250Å/分
イオン注入無し	170Å/分

【0032】この表1から、イオン注入をしない場合には170Å/分に対して、イオン注入を行った場合には250Å/分となり、エッティングの進行速度が速くなることがわかる。なお、この例では、アモニア処理を行ったが、アモニア処理を行わない場合には、エッティングレートが4倍程度速くなる。

【0033】このようにイオン注入の有無によってエッティングレートに差を出すことができるを利用しても、本工程では、膜厚の厚いフィールドシリコン酸化膜層<sup>1a</sup>に対してはイオン注入を行い、膜厚の薄いフィールドシリコン酸化膜層<sup>1b</sup>に対してはイオン注入をしないように設定した。

【0034】これにより、前記図2(c)の工程において、膜厚の薄いフィールドシリコン酸化膜層<sup>1b</sup>ではエッティングの進行速度が遅いのに対して、イオンが注入された膜厚の厚いフィールドシリコン酸化膜層<sup>1a</sup>ではエッティングの進行速度を速くすることができるため、エッティングがシリコン酸化膜層<sup>1</sup>の表面に到達した時点でフィールドシリコン酸化膜層<sup>1a</sup>、<sup>1b</sup>の両方を同時に等しく除去することができる。従って、従来例の図3(c)に示したような、膜厚の薄いシリコン膜層<sup>1b</sup>側より上方のシリコン酸化膜層<sup>1</sup>までもがエッティングされる上での現象をなすことができる。

## 【0035】

10 【発明の効果】以上説明したように、本発明によれば、回路素子分離に用いられる厚さの異なるフィールドシリコン酸化膜<sup>1a</sup>、<sup>1b</sup>、厚さの薄い方のフィールドシリコン酸化膜<sup>1b</sup>のみにイオンを注入し、厚さの異なるフィールドシリコン酸化膜<sup>1a</sup>、<sup>1b</sup>のエッティング速度を変えるようにしてたので、フィールドシリコン酸化膜<sup>1a</sup>とその下地層との同一材料によって構成されている場合においても、その下地層までもがエッティングされるというような現象をなすことができ、これにより、歩留まりを向上させ、信頼性の高い半導体装置を製造することができる。

## 20 【図面の簡単な説明】

【図1】本発明の第1の実施の形態である半導体装置の製造方法を示す工程図である。

【図2】図1に統じて、本発明に係る半導体装置の製造方法を示す工程図である。

【図3】従来の半導体装置の製造方法を示す工程図である。

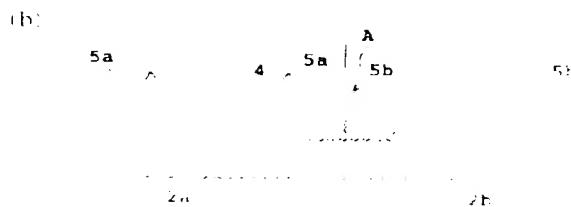
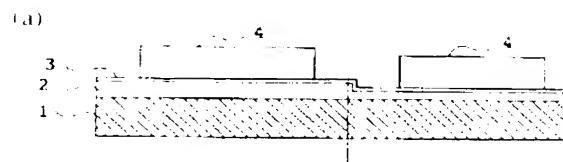
## 【符号の説明】

1. 絶縁層(シリコン酸化膜)

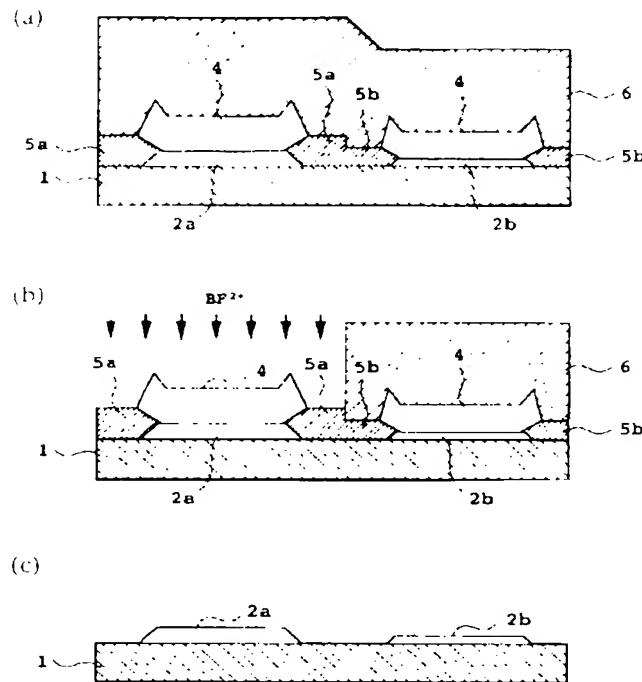
2. a, 2. b 回路素子形成層(シリコン層)

3. a, 3. b フィールド酸化膜(フィールドシリコン酸化膜)

【図1】



【図2】



【図3】

